발송번호: 9-5-2005-053548725

발송일자: 2005.10.26 제출기일: 2005.12.26 수신 서울시 강남구 역삼동 677-25 큰길타워9종

(한양특허법인)

한양목허법인[김연수]

135-914

- 2000, 19 J. 7

ೄ ^{히 청} 의견제출통지서

출 원 인 명 참 마쯔시다덴기산교 가부시키가이샤 (출원인코드: 519980650737)

주 소 일본국 오사카후 가도마시 오아자 가도마 1006반지

대 리 인 명 왕 한양특허법인

주 소 서울시 강남구 역삼동 677-25 큰길타워9총(한양특허법인)

지정된변리사 김연수

출 원 번 호 10-2004-0003311 Applicatio~ No.

발 명 의 명 칭 고체 활상 잠치와 그 제조 방법 및 인터라인 전송영CCD

이미지 센서

이 출원에 대한 심사결과 아래와 같은 거젍이유가 있어 특허법 제63조의 규정에 의하여 이를 통지하오니 의견이 있거나 보정이 필요할 경우에는 상기 제출기일까지 의견서[특허법 시행규칙 별지 제25호의2서식] 또는/및 보정서[특허법시랭규칙 별지 제5호서식]를 제출하여 주시기 바랍니다.(상기 제출기일에 대하여 매회 1월 단위로 연장을 신청할 수 있으며, 이 신청에 대하여 별도의 기간연장숭인통지는 하지 않습니다.)

[이유]

이 출원의 특허청구범위 제1항~25항에 기재된 발명은 그 출원전에 이 발명이 속하는 기술분 야에서 통상의 지식을 가진 자가 아래에 지적한 것에 의하여 용이하게 발명하여 되었는 것이 므로 특허법 제29조제2항의 규정에 의하여 특허를 받을 수 없습니다.

[아래]

본원의 상기 청구항에 기재된 발명은 고체촬상장치와 그 제조항법 및 인터라인 전송형 CCD 이미지센서에 있어서 포토다이오드로부터 전송트랜지스터까지의 전위가 매끄럽게 변화하도록 형성된 전위평활화 수단을 포함하여 전원전압이 낮아도 포토다이오우드에 축적된 신호전하를 완전전송할 수 있도록 함에 그 특징이 있으나, 이는한국공개특허공보 2002-88881호(2002.11.29, 이하 인용발명이라 함)의 포토다이오우드에 집전된 전하를 풀로팅 확산영역으로 전달하는 트랜스퍼 트랜지스터를 구비하는 CMOS 이미지센서에 있어서 트랜지스터의 게이트전국 하부의 반도체기판 내에 형성되고 포토다이오우드 및 플로팅 확산영역과 각각 이격된 p형 불순물영역을 포함하여누설전류를 줄인 편치전압과 포토다이오우드의 집전량을 증가시킬 수 있는 씨모스이미지센서 및 그 제조방법과 목적, 효과 및 구성이 유사하므로 이 발명이 속하는 기술분야에서 통상의 지식을 가진자라면, 상기 인용발명로부터 본원발명을 용이하게 발명할 수 있습니다.

[첨 부]

청부1 공개특허 제2002-88881호(2002.11.29) 1부. 끝.

Reference Cited.

2005.10.26 Mailing Date.

특허청

전기전자심사국 ^{전자소자심사당당관실}

시시자

五十二 五十二

<< 안내 >>

염세서 또는 도면 등의 보정서를 전자문서로 제출할 경우 매건 3,000원, 서면으로 제출할 경우 매건 13,000원의 보청료를 납부하여야 합니다.

보정료는 접수번호를 부여받아 이룹 납부자번호로 "특허병 실용신안법 디자인보호범및상표법에 의한 특허료 등록료와 수수료의 징수규칙" 별지 제1호서식에 기재하여, 접수번호를 부여받은 날의 다음 날까지 남부하여야 합니다. 다만, 납부일이 공휴임(토요휴무일을 포함한다)에 해당하는 경우에는 그날 이후의 첫 번째 근무일까지 납부하여야 합니다.

보정료는 국고수납은행(대부분의 시중은행)에 납부하거나, 인터넷지로(www.giro.go.kr)로 납부할 수 있습니다. 다만, 보정서를 우편으로 제출하는 경우에는 보정료에 상용하는 몸상환을 동봉하여 제출하시면 특허점에서 납부해드립니다.

문의사항이 있으시면 25042)481-5970로 문의하시기 바랍니다.

서식 또는 절차에 대하여는 특허고객 콘센터(숙1544-8080)로 문의하시기 바립니다.

平 2002-0088881

(19) 대한민국특허청(KR) (12) 공개특허공보(A)

(51) Int. Cl. HOIL 27/146

(11) 공개번호 특2002-0088881

(43) 공개일자 2002년11월23일

(21) 출원번호	10-2001-0027923	
(22) 물원일자	2001년 05월 22일	
(71) 출원인	주식회사 하미닉스반도채	
	경기 이천시 부발을 아미리 산136-1	
(72) 발명자	심진성	
	충청북도청주시종덕구복대1동대원아파트105-1002	
(74) 대리인	특허범인 신성	

성사경구: 있음

(54) 전치건입과 포토CIOI오드의 집건양을 즐가시킬 수 있는씨모스 DIII지 선서 및 그 제<u>조 범범</u>

RE

는 발명은 트랜스퍼 트랜지스터의 편치쓰루 견압을 증가시키고, 트랜스퍼 트랜지스터의 오프시 포토다이오드와 플로팅 확산영역간의 전위장벽을 증가시키 포토다이오드의 집전양을 증대시킬 있으며 자기청을 이오드와 플로팅 확산영역간의 전위장벽을 증가시키 포토다이오드의 집전양을 증대시킬 있으며 자기청을 이오는 구입 공장에 의하지 않고 포토다이오드랑 형성함 수 있는 다이오 미미지 센서 및 그 제조 방법에 관한 것은 우리 클랜스퍼 트랜지스터 게이트 전국 하부의 반도체 기판 내에 무형 불순을 영역을 구비하는 다이오 미미지 센서 및 그 제조 방법을 제공하는데 특징이 있다. 본 방명에 따라 자기정열에 제한 받지 않고 공장을 지 센서 및 그 제조 방법을 제공하는데 특징이 있다. 본 방명에 따라 자기정열에 제한 받지 않고 공장을 지 센서 및 그 제조 방법을 제공하는데 특징이 있다. 본 방명에 따라 자기정열에 제한 받지 않고 공장을 지 센서 및 그 제조 방법을 제공하는데 특징이 있다. 본 방명에 따라 자기정열에 제한 받지 않고 공장을 다 있다. 또한, 트랜스퍼 트랜지스터 게이트 전국 하부의 반도체 기 전략함 수 있어 공장 본순을 영역을 구비합으로써 포토다이오드와 팔로딩 확산영역 간의 전위장반다. 등 영역간의 전위차가 증가되어 포토다이오드 안에 담을 수 있는 전하지장능력이 증가한다.

0#5

⊊3d

MPIOL

OMDS, 이미지 센서, 전위장박, 편치전압, 쪼르다이오드, 집전양, 불순물 영역

BASH

5.89 282 28

도 1은 쯩래 기술에 따른 CMOS CNDI지 센서의 단위화소 구조를 개략적으로 보이는 회로도.

도 2a 내지 도 2c는 중래 기술에 따른 이미지 센서의 트랜스퍼 트랜지스터, 포로다이오드 및 중로팅 확산 명약 형성 공정 단면도,

도 3a LH지 도 3d는 본 발명의 싶시예에 따른 이미지 센서의 트랜스퍼 트렌지스터, 포토다이오드 및 플로 링 확산명역 형성 공정 단면도,

도 4는 중래 기술과 본 발명에 ID은 이미지 센서의 전위 변화에 대한 시뮬레미션 결과를 비교하여 보이는 그래프,

도면의 주요부분에 대한 도면 부호의 설명

32: 포토다이오드의 n형 물순을 영역

33: p형 불순물 명역

37: 포토다이오드의 6형 퇴순물 경역

38: 플로팅 확산영역

보염의 상사관 설명

整图의 号琴

整图的 奇奇七 对金层砂 奥 그 医砂斗 香酒对金

본 법명은 CXOS 미미지 센서(Image sensor) 제조 분야에 관한 것으로 특히, 편치전압과 포토다미오드의 집천양을 증가시킬 수 있는 CXOS 이미지 센서 및 그 제조 방법에 판한 것이다.

대한 이미지 센서는 대한 제조 기술을 이용하며 광학적 미미지를 전기적신호로 변환시키는 소지로서, 방에 반응하며 생성된 신호전자를 전압으로 변환하고 선호적기 과정을 거쳐 회상정보를 제현한다. CNDS 이미지 센서는 각종 카메라, 의로공업시, 공사용 카메라, 의치적인 및 감지를 위한 각종 산업 장네, 장난감동 카메라, 의치적인 및 감지를 위한 각종 산업 장네, 장난감동 화상산보를 제현하는 모든 분이에 이용 가능하며, 저전압 구등과 단일철화가 가능하여 점점 작용범위 가 확대되고 있는 후세이다. CMDS 이미지 센서는 화소수 만큼 MDS트랜지스터를 만들고 미것을 이용하며 차가 확대되고 있는 후세이다. CMDS 이미지 센서는 화소수 만큼 MDS트랜지스터를 만들고 미것을 이용하며 차려 경험을 검험하는 소위청 방식을 제용하고 있다. CMDS 이미지 센서는, 증권 이미지센서로 널리 사용되고 있는 CDD 이미지센서에 비하여 구름 방식이 간편하고 다양한 스캐닝 방식의 구현이 가능하며, 신용되고 있는 CDD 이미지센서에 비하여 구름 방식이 간편하고 다양한 스캐닝 방식의 구현이 가능하며, 신용되고 있는 CDD 이미지센서에 비하여 구름 방식이 간편하고 다양한 스캐닝 방식의 구현이 가능하며, 신용되고 있는 CDD 이미지센서에 전혀 가 있는 문한 크게 낮다는 장점을 지나고 있다.

용하므로 제조 단가를 낮을 수 있고, 전력 소모 또한 크게 낮다는 장점을 지니고 있다.

도 1은 4개의 트랜지스터와 2개의 캐패시턴스 구조로 이루어지는 여성 미미지센서의 단위화소를 보이는 회로도로서, 광강지 수단인 포토다이오드(PD)와 4개의 MdS 트랜지스터로 구성되는 여성 미미지센서의 단위화소를 보이고 있다. 4개의 MdS 트랜지스터 등 트랜스퍼 트랜지스터(Tx)는 포토다이오드(PD)에서 생성 된 광전하를 플로팅 확산염역으로 운송하는 역할을 하고, 리셋 트랜지스터(Fx)는 산호감诸을 위해 상기 결혼를 확산염역에 저장되어 있는 전하를 배달하는 역할을 하고, 드라이브 트랜지스터(Dx)는 소스팔로워(Source Follower)로서 역할하며, 설택트 트랜지스터(Sx)는 스위형(Switching) 및 어드레상(Addressing)은 위한 것이다. 모면에서 '더'는 클로링 확산염역이 갖는 캐패시턴스를, 'Co'는 포토다이오드가 갖는 캐 미워턴스를 각각 나타낸다.미와 같이 구성된 이미지센서 단위화소에 대한 등작은 다음과 같이 이루어진다. 처음에는 리셋 트랜지스터(Fx), 트랜스퍼 트랜지스터(Tx) 및 셀렉트 트랜지스터(Sx)를 온 (cn)시켜 단위화소를 리센시킨다. 미때 포토다이오드(PD)는 골집되기 시작하여 캐패시턴스 다는 전하용적 (cerrier charsing)이 발생하고, 플로링 확산염역의 캐패시턴스 더는 공급전함(YDD)까지 전하용전된다. 그리고 트랜스퍼 트랜지스터(Tx)를 오프시키고 셀렉트 트랜지스터(Sx)를 온시킨 다음 리켓트랜지스터(Tx)를 오프시키고 셀렉트 트랜지스터(Sx)를 모시킨 다음 리켓트랜지스터(Tx)를 오프시키고 셀렉트 플랜지스터(Sx)를 임시킨다. 이와 같은 등작 상태에서 단위화소 울역단(Out)으로부터 출턴전한 'Vi'을 읽어 버대에 저장시키고 난 후, 트랜스퍼 트런지스터(Tx)를 오프시키고 셀렉트 프랜지스터(But)으로부터 출턴전한 'Vi'을 위어 변화 기리 의용기 기리에 저장시키고 난 후, 트랜스퍼 트런지스터(Tx)를 오시켜 및의 세기에 따라 변화된 캐패시턴스 다운 함께 한다. 그리고 대한 이탈로그 데이터를 다지할 데미터로 변경시키므로 단위화소에 대한 한 등작주기가 완료되다.

이하, 도 2a 내지 도 2c을 참조하며 증래 기술에 다른 CMOS 이미지 센서 단위 픽셈의 트랜스퍼 트랜지스 터, 포토다이오드 및 플로팅 확산명역의 제조 방법을 설명한다.

면저 도 2k에 도시한 바와 같이, 소자분리막(21) 형성이 완료된 r형 반도체 기판(20) 상에 게이르 절였막 (22) 및 게이트 전국(23)을 형성하고, 게이트 전국(23) 및단의 상기 반도체 기판(20) 내에 포로다이오드 (PD)귤 이품 r형 분손을 경역(24)을 형성한다.

다음으로 도 26에 보이는 바와 같이, 게이트 진국(23) 축벽에 절면막 스페이서(25)을 형성하고, 상기 m형 결숙룡 영역(24) 상에 p형 불순물 명역(25)을 형성하여 포토다이오드 형성 공정을 원료한다. 이후, 플로 팀 확산영역을 형성하기 위한 이온주입 마스크로서 포토레지스트 페턴(PR)을 형성하고, n형 불수물 미온 우입 공정을 실시하여 플로팅 확산영역(27)를 형성한다.이어서 도 2c에 도시한 바와 같이, 포토레지스트 패턴(PR)을 제거한다.

때법(FN)로 제기한다.
전송한 바와 같이 이루어지는 중래 CMOS 미미지 센서 제조 공정에서는, 게이트 전국(23) 형성 휴 게이트 전국(25)을 이용한 자기정별(self align) 이온주입 공정으로 포토다이오드의 대형 결소를 엄역(24)을 형성한 전국(25)을 이용한 자기정별(self align) 이온주입 공정으로 포토다이오드의 대형 결소를 엄역(24)을 형성한다. 또한, 포토다이오드에서 및 포산당역으로 전혀를 이용시키기 위한 토랜스퍼 트랜지스터는 전약 한다. 또한, 포토다이오드에서 인도록 문력건강이 이 V 이하로 조절된 트랜지스터 꼭, 네이터브 MMOS 트랜지스터(native NMOS transistor)로 이루어지는데, 트랜스퍼 트랜지스터(Tx)의 하음 구조는 단순히 여전 에피덕설을 (epitaxial layer)으로 되어있다. 협의 크기가 작아질수로 토랜스퍼 트랜지스터의 채널 길이(channel length)가 짧아지므로 상대적으로 낮은 전압에서도 포치쓰루(punch through)가 잃아내는 수 있다. 또한, 트랜스퍼 트랜지스터가 오픈(off)되었을 경우 포토다이오드와 플로링 확산명의 간의 전위 장벽(potential barrier)이 낮아져 전하 조적 (charse integration) 시간 동안 포토다이오드의 전하 집 전앙이 감소되는 단점이 있다. 또한, 설계상 포토다이오드 영역을 자기정혈(self align)하지 않고 진행시 공정 변화(variation) 문제도 이기될 수 있다.

\$P\$ 不全区,约年之孙 动士 对金鸡 海灣

상기와 같은 문제점을 해결하기 위한 본 말망은 트랜스퍼 트랜지스터의 펀치쓰쿠 견앟을 증가시키고, 토 랜스퍼 트랜지스터의 오프사 포토다이오도와 물로팅 확산영역간의 전위장벽을 증가시켜 포토다이오드의 집천앙을 중대시킬 있으며 자기정할 이온주입 공정에 의하지 않고 포토다이오드를 형성할 수 있는 GMOS 이미지 센서 및 그 제조 방법을 제공하는데 목적이 있다.

£2002-0088891

조망의 구성 또 작중

생기와 같은 목적을 달성하기 위한 본 발명은 포토다이오드에 집전된 전하를 플로팅 확산영역으로 전달하는 트랜스퍼 트랜지스터를 구내하는 대版 이미자 센서에 있어서, 반도체 기관: 상기 반도체 기판 상에 형성된 장기 투랜지스터를 구내하는 대版 이미자 센서에 있어서, 반도체 기관: 상기 반도체 기판 상에 형성된 장기 투랜지스터 트랜지스터의 게이트 전국: 상기 게이트 전국 열약으로 이루어지는 포토다이오드; 상기된 제1 도전형의 제1 보순을 영역 및 제2 도전형의 제2 보순물 영역으로 이루어지는 포토다이오드; 상기된 제1 도전형의 제2 타만의 상기 방도체 기판 내에 형성된 제3 복순을 영역으로 이루어지는 물로팅 계산 영역; 및 장기 게이트 전국 하부의 상기 반도체 기판 내에 형성되어 상기 포토다이오드 및 상기 플로 등 확산영역; 및 장기 게이트 전국 하부의 상기 반도체 기판 내에 형성되어 상기 포토다이오드 및 상기 플로 등 확산영역의 각각 이격된 제1 도전형의 제4 불순률 영역을 포함하는 대 등 교통 확산영역으로 전달하는 탈상기 목적을 탈성하기 위한 본 財명은.. 포토다이오드에 접전된 전하를 플로팅 확산영역으로 전달하는 탈상기 목적을 탈성하기 위한 본 財명은.. 포토다이오드에 접전된 전하를 플로팅 확산영역으로 전달하는 탈상기 목적을 발성하는 대에 제1 도전형의 제1 불순률 영역을 형성하는 단계; 트랜스퍼 트랜지스터 영역의 상기 반도체 기판 내에 제2 도전형의 제2 불순물 영역을 협성하는 단계; 상기 본도체 기관 상에 트랜스퍼 트랜지스터의 판 내에 제2 도전형의 제2 불순물 영역을 협성하는 단계; 상기 제2 본순물 영역과 증정되도 개이를 절면막 및 게이트 전극을 형성하는 단계; 상기 제2 본순물 영역과 증정되도 개이를 절면막 및 게이트 전극을 형성하는 단계 당치 기판 내에 제2 도전형의 제3 불순률 영역을 형성하는 단계; 및 상기 제0 불순률 영역을 형성하는 단계를 포함하는 대에 제1 도전형의 제3 불순률 영역을 형성하는 단계를 포함하는 대에 제2 도전형의 제3 불순률 영역을 형성하는 단계를 포함하는 대에 제2 도전형의 제3 불순률 영역을 형성하는 단계를 포함하는 대에 제2 도전형의 제3 불순률 영역을 형성하는 단계를 포함하는 대에 제2 도전형의 제3 불순률 영역을 형성을 되는 단계를 포함하는 대에 제2 도전형의 제3 불순률 영역을 형성하는 단계를 포함하는 대에 제2 도전형의 제3 불순률 영역을 형성하는 단계를 포함하는 대에 제2 도전형의 제3 불순률 영역을 형성하는 단계를 포함하는 대에 제2 도전형의 제3 보안를 제공한다.

또한 상기 목적을 달성하기 위한 본 발명은, 포토디이오드에 집전된 전하를 플로링 확산영역으로 전달하 또한 상기 목적을 달성하기 위한 본 발명은, 포토디이오드에 집전된 전하를 플로링 확산영역으로 전달하 는 트랜스퍼 트랜지스터를 구비하는 CROS 이미지 센서 제조 방법에 있어서, 발도체 기관 상에 포토디이오 도 형성 영역을 정의하는 제1 이온주입 마스크를 형성하는 단계; 이온주입 마스크를 제거하는 단계; 기판 내에 제1 도전형의 제1 본순렬 영역을 형성하는 단계; 상기 제1 이온주입 마스크를 형성하는 단계; 이 상기 반도체 기판 상에 트랜스스터 영역을 정의하는 제2 이온주입 마스크를 형성하는 단계; 이 상기 반도체 기판 상에 트랜스스터 영역을 정의하는 제2 이온주입 마스크를 형성하는 단계; 상기 제 온주입 공정을 실시하며 상기 반도체 기판 내에 제2 도전형의 제2 불순물 영역을 협성하는 단계; 상기 제 온주입 마스크를 제거하는 단계; 상기 반도체 기관 상에 트랜스터 토랜지스터의 게이트 절면의 및 이본주입 마스크를 제거하는 단계; 상기 반도체 기관 상에 트랜스터 토랜지스터의 게이트 절면의 및 이트 전국을 협성하되, 상기 게이트 전국의 원부가 상기 제2 불순물 영역을 협성하는 단계; 상기 제1 청순품 염역 상의 상기 반도체 기판 내에 제2 도전형의 제3 营순물 영역을 협성하는 단계; 및 상기 제1 청순품 염역 상의 상기 반도체 기판 내에 제2 도전형의 제3 营순물 영역을 협성하는 단계 및 상기 게이트 전국을 시어에 두고 상기 포토대이오드 영역으로부터 이격된 상기 반도체 기판 내에 제1 도전형의 필요된 확산영역을 협성하는 단계를 포함하는 대회의 이외으로부터 이격된 상기 반도체 기판 내에 제1 도전형의

본 방명은 트랜스퍼 트랜지스터 게이트 전국 하부의 반도체 기관 내에 P형 옵션을 영역을 구비하는 CMOS 이미지 센서 및 그 제조 방법을 제공하는데 특징이 있다. 본 방영에 따라 자기정렬에 제한 받지 않고 공 정을 진행할 수 있어 공정 변화가 역제될 수 있다. 즉, 200 Kev 이상의 포토다이오드의 R형 흡순을 영역 용 관계 주말해야하는 설계 구조에서 지기정결로 인해 말생되는 채널링(channeling) 효과을 극복할 수 있 다. 또한, 트랜스퍼 트랜지스터 게이트 전국 하부의 반도체 기판 내에 P형 흡순을 명약을 구비함으로써 포토다이오드와 플로팅 화산영역 간의 전위장역을 증가시켜 즉, 두 영역간의 전위차가 증가되어 포토다이오드 안에 당을 수 있는 전하저장능력이 증가한다.

이하, 도 3a 내지 도 3d를 함조하여 본 밝명의 실시예에 따른 CMOS 이미지 센서 및 그 제조 방법을 설명한다.

먼저 도 3k에 도시한 바와 같이, 소자본리막(3) 형성이 완료된 6형 반도체기관(30)에 포토다이오드 형성 영역을 정의하는 이온주입 마스크로서 제1 포트레지스트 패턴(PRI)을 형성하고 이온주입 공정을 실시하며 포토다이오드의 6형 영소물 영역(32)을 형성한다.다음으로 상기 제1 포트레지스트 패턴(PRI)을 제기하고, 포토다이오드의 6형 영소물 영역(32)을 형성한다.다음으로 상기 제1 포트레지스트 패턴(PRI)을 제기하고, 도 3b에 보이는 바와 같이 트랜스퍼 트랜지스터 영역을 정의하는 이온주입 마스크로서 제2 포로레지스트 패턴(PRI)을 형성하고 봉소(8) 등의 결소중을 이온주입하며 6형 분순을 영역(33)을 형성한다.

이어서 도 3c에 도시한 바와 같이, 트랜스퍼 트한지스터의 게이트 절면막(34), 게이트 전국(35)졹 형성하 여, 게이트 전국(35)의 및부가 상기 p형 당순종 영역과 충청되도록 한다.

다음으로 도 3d에 보이는 바와 같이, 절연막 스페이서(36), 포토다이오드의 p° 불순을 영역(37) 및 n゚를 로링 확산영역(38)을 형성하는 등 CMCS이미지 센서 제조를 위한 추숙 공정을 진행한다.

합편, 트랜스퍼 트랜지스터의 게이트 전국(35)에 전압이 인가뭠때 n⁺ 등로팅 확산영역(38) 보다 상대적으로 보게 형성되는 포토다이오도의 n현 중소품 영역(32)에 전압이 보다 양호하게 인가되어 독달(read out)면에서 유리하도록 한다. 즉, p형 불순물(33) 영역에 의해 트랜스퍼 트랜지스터의 문덕전암이 높아지면 네이티브 트랜지스터로서의 역감을 할 수 없기 때문에 통작전압이 낮아된 경우 잃어날 수 있는 문제에 대네이티브 트랜지스터로서의 역감을 할 수 없기 때문에 통작전압이 낮아된 경우 잃어날 수 있는 문제에 대네하기 위한 것이다. 그러나, 트랜스퍼 트랜지스터를 펌프 회로(pump circuit) 등과 같은 구조로 형성할 경우 포토다이오드의 n世 중소품 영역(32)과 p형 불순물 영역 간의 거리 (A)는 고려하지 않을 수도 있

한편, n 플로팅 확산 명역(38)의 농도는 p형 탑순탑 영역(33)의 농도에 비해 상당히 높으므로 p형 북순달 명역(33)의 형성에 따른 동작 특성 변화는 크게 잃어나지 않는다. 오히려, p형 불순물 명역(33)의 형성에 따라 n' 플로팅 확산명덕(38)의 캐페시턴스는 감소되고 그에 따라 변환배(converting ratio)가 중가되머 강도향상의 호과를 기대할 수 있다.

전술한 본 방명의 실시예에서 상기 p형 불순물 영역(33)과 포토CH이오드 간의 거리(A)를 p형 불순물 영역 (33)과 n 플로링 확산영역(38) 간의 거리(B) 보다 더 덜게 형성한다.

學 2002-0088881

도 4는 중래 기술과 본 발명에 따른 이미지 센서의 전위 변화에 대한 시뮬레이션 결과를 비교하여 보이는 그래프로서 전위 분포에서 선과 선 사이의 전위차는 0.1 V이다. 중래 기술에 따른 이미지 센서(A)의 중 모에는 포토CI이오드와 플로팅 확산경역간의 전위차가 1.2 V인데 반6대 본원말명에 따라 토랜스퍼 트랜 자스터 영역의 삼리론 기판에 여행 불순물 명역을 구비하는 이미지 센서(B)의 경우에는 포토다이오드와 플 로링 확산영역간의 전위차가 1.8 V로 중가된다.

로팅 확산경역간의 전위자가 1.8 V로 송가된다.
공정 변화(variation)는 포토다이오드 영역의 공정 오차 허용정도(tolerance)인 0.1 #1에서, 중래 기술에 대한 이미지 센서의 경우 포토다이오드와 출모팅 화산영역 간의 최대 전위장벽이 1.4 Y이고, 최소 전위 장벽은 0.9 V로서 두 전위차가 0.5 Y이나, 본 발명에 따른 이미지 센서의 경우 최대 전위장벽은 2.1 V이고 최소 전위장벽은 1.8 Y로서 두 전위차가 0.3 V가 되어 최대 전위장벽과 최소 전위장벽 같은 모든 증가고 최소 전위장벽은 1.8 Y로서 두 전위차가 0.3 V가 되어 최대 전위장벽과 최소 전위장벽 같은 모든 증가고 최소 전위장벽은 1.8 Y로서 두 전위차가 0.3 V가 되어 최대 전위장벽과 최소 전위장벽 같은 모든 증가 기최고 최소 전위장벽은 1.8 Y로서 두 전위차가 0.3 V가 되어 최대 전위장벽과 함은 이온주인 공정으로 열성하는 이면서 그 차이가 많이 감소된다. 따라서, 중래와 같이 자기정렬 방법에 의하지 않은 이온주인 공정으로 열성하고 경우보다 포토다이오드의 다형 목소를 경역(32)을 자기정렬 방법에 의하지 않은 이온주인 공정으로 영성 않고 상가 포토다이오드의 다형 목소를 경역(32)을 자기정렬 방법에 의하지 않은 이온주인 공정으로 영성 당고 상기 포토다이오드의 다형 목소를 경역(32)을 자기정렬 방법에 의하지 있은 이온주인 공정으로 영성 전기 포토다이오드의 다형 목소를 경역(33)를 형성할 경우 최대 전위장벽과 최소 전위장벽의 차이가 0.3 V로 감소하여 공정 변화에 보호 의존성이 감소된다고 함 수 있다. 따라서, 자기정혈 공정에 의한 16형 결소를 경역(32) 형성의 경우 다시하게 전위장벽처리를 유지하면서 편치수로 전압과 포화전압을 증가시할 수 있다.

이상에서 설명한 본 발명은 전송한 실시에 및 첨부된 도면에 의해 한정되는 것이 아니고, 본 발명의 기술 적 사상을 벗어나지 않는 범위 내에서 대러 가지 치판, 변혈 및 변경이 가능하다는 것이 본 발명이 속하 는 기술분이에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

经复单 多形

상기와 많이 미루어지는 본 발명은 자기정렬에 의하지 않고 포토다이오드의 1명 출수를 경역을 형성할 수 있어 미윤주입 공정시 공정 변화를 감소시할 수 있다. 즉, 증래 포토다이오드의 1명 출수를 경역을 형성할 수 있어 미윤주입 공정시 공정 변화를 감소시할 수 있다. 즉, 증래 포토다이오드의 1명 출수를 경역을 형성하는 제발립의 문제정을 트랜스퍼 트랜지스터 기이트 전국 하부의 반도체 기판 내에 19명 불수물 경역을 형성함으로써 해결할 수 있다. 또한, 트랜스터 제이트 전국 하부의 반도체 기판 내에 19명 불수물 경역을 형성함으로써 해결할 수 있다. 또한, 트랜스터 전기스터의 채널 깊이가 감소하여도 포토다이오드와 출로량 화산영역 간의 전치전압을 강화시켜 부 설전류를 풀일 수 있으며, 포토다이오드와 플로팅 확산영역 간의 전위장벽을 높여 포토다이오드의 집전양을 증거시킬 수 있다.

(돼) 월구의 발위

정구함 1

포로다미오드에 집전된 것하를 줄로릴 확산성역으로 전달하는 트랜스퍼 트랜지스터를 구비하는 CMDS 이미 지 센서에 있어서,

상기 반도체 기판 삼에 형성된 상기 트랜지스터 트랜지스터의 게이트 전국:

상기 게이트 전국 일단의 상기 반도체 기판 내에 적용된 제1 도전형의 제1 출순물 영역 및 제2 도접형의 제2 불순물 영역으로 이루어지는 포토다이오드;

상기 게이트 전국 타단의 상기 반도체 기판 내에 형성된 제2 도전형의 제3 분순동 영역으로 이루어지는 클로팅 확산영역; 및

상기 게이트 전국 하부의 상기 반도체 기판 내에 형성되어 상기 포토다미오르 및 상기 플로팅 확산영역과 각각 미격된 제1 도전형의 제4 분순을 영역

을 포함하는 CMOS 미미지 센서.

청구항 ?

제 1 할에 있어서,

상기 제4 불순물 영역과 상기 포토다이오드 간의 거리는,

상기 제4 통순을 영역과 상기 플로팅 확산영역 간의 거리보다 상대적으로 먼 것을 특징으로 하는 CMOS 미미지 센서.

성구한 3

제 1 항 또는 제 2 함에 있어서.

삼기 제1 도전형은 여덟미고,

상기 제2 도전형은 n형인 것을 특징으로 하는 CMOS OIDI지 센서.

星2002-0088881

청구항 4

쪼로다이오드에 집전된 견하를 플로팅 확산영역으로 전달하는 트랜스퍼 트랜지스터를 구비하는 DHOS.DIDI 지 센서 제조 방법에 있어서,

포토다이오드 형성 영역의 반도체 기판 내에 제1 도전형의 제1 철순물 영역을 형성하는 단계; 트랜스퍼 트런지스터 명역의 상기 반도체 기판 내에 제2 도전형의 제2 불순물 영역을 형성하는 단계; 상기 반도체 기판 상에 트랜스퍼 트랜지스터의 게이트 절면막 및 게이트 전국을 형성하되, 상기 게이트 전국의 일부가 상기 제2 본순물 영역과 콩철되도록 하는 단계;

상기 제1 불순률 영역 상의 상기 반도체 기판 내에 제2 도전형의 제3 불순물 영역을 형성하는 단계; 및 상기 게이트 전국을 사이에 두고 상기 포토다이오드 영역으로부터 이격된 상기 반도체 기판 내에 제1 도 전형의 플로팅 확산영역함 형성하는 단계

를 포함하는 CMOS 미미지 센서 제조 방법.

성구함 5

포토다미오드에 집전된 경하큼 플로팅 확산영역으로 전달하는 트랜스퍼 트랜지스터를 구비하는 CKDS 미미 지 센서 제조 방법에 있어서,

반도체 기판 삼에 포토다미오도 형성 영역을 정의하는 제1 미혼주입 마소크를 형성하는 단계;

미혼주입 공정을 성시하여 상기 반도체 기판 내에 제1 도전형의 제1 불순물 영역을 형성하는 단계;

상기 제1 미욘주입 마스크를 제거하는 단계;

상기 반도체 기판 상에 트랜스퍼 트랜지스터 영역을 정의하는 제2 미본주입 마스크를 형성하는 단계:

이 골주입 공정을 심시하여 상기 반도체 기판 내에 제2 도전형의 제2 분슾물 영역을 형성하는 단계;

상기 제2 이혼주입 마스크를 제거하는 단계;

상기 반도체 기판 상에 트랜스퍼 트랜지스터의 게이트 절면막 및 게이트 전국을 형성하되, 상기 게이트 전국의 일부가 상기 제2 협순물 영역과 중첩되도록 하는 단계;

상기 제1 불순물 영역 상의 상기 반도체 기판 내에 제2 도전형의 제3 불순률 영역을 형성하는 단계; 및 상기 게이트 전국을 사이에 두고 상기 포토다이오트 영역으로부터 이격된 상기 반도체 기판 내에 제1도 전형의 중로링 확산영역을 형성하는 단계

를 포함하는 CMOS OIDI지 센서 제조 방법.

청구항 6

제 4 항 또는 제 5 항에 있어서,

상기 제2 탑순률 명역과 상기 포토다이오드간의 거리는.

상기 제2 붉슨물 영역과 상기 플로팅 확산영역과의 거리보다 상대적으로 먼 것을 특징으로 하는 CMOS OI 미지 센서 제조 방법.

청구항 7

제 6 항에 있어서,

상기 제1 도전형은 ෦첧미고,

상기 제2 도전형은 p형인 것을 특징으로 하는 CADS CIDI지 센서 제조 방법.

성구당 8

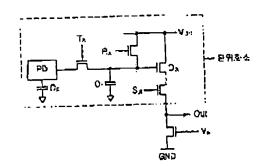
제 7 항에 있어서,

상기 제2 불순출 영역은 쭝소(B)를 미온주입하며 형성하는 것을 복장으로 하는 CMOS 미미지 센서 제조 방

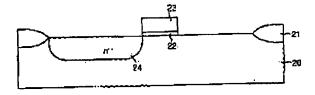
ΞĐ

€2002-0088881

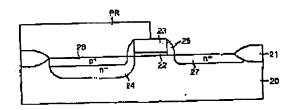
5B1



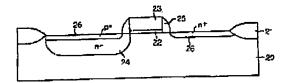
 \mathcal{L} \mathbb{R}^{2n}



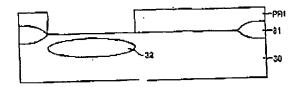
<u> FP2b</u>



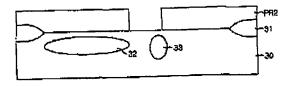
*5*2020



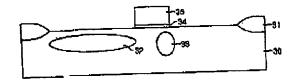
*⊊Di3*a



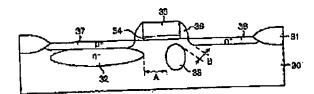
⊊£!3b



ÆĽ\$ø

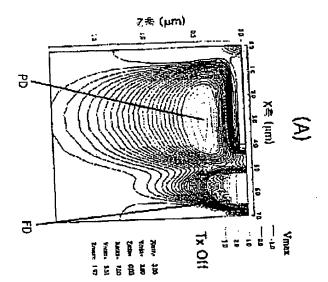


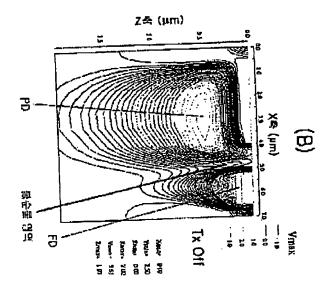
*⊊p*i3d



PAGE 15/15

<u>£</u>24





8-8

BEST AVAILABLE COPY